

⑤ Int. Cl.⁴G 09 G 1/00
G 06 F 3/14
G 09 G 1/02

識別記号

庁内整理番号

7923-5C
7341-5B
7923-5C

⑬ 公開 昭和61年(1986)9月5日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 ビットマップ表示制御方式

⑰ 特 願 昭60-41725

⑱ 出 願 昭60(1985)3月1日

⑲ 発 明 者 藤 川 芳 孝 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

㉑ 代 理 人 弁 理 士 磯 村 雅 俊

明 細 書

1. 発明の名称 ビットマップ表示制御方式

2. 特許請求の範囲

(1) キャラクタパターンジェネレータから発生される文字パターンのビットマップ表示を制御するビットマップ表示制御システムにおいて、該ビットマップ表示のためのフレームバッファメモリとして実装されるメモリの空きエリアを、使用頻度の多い熟語および文のジェネレータとして使用することを特徴とするビットマップ表示制御方式。

3. 発明の詳細な説明

技術分野

本発明は、ビットマップ表示制御方式に関し、特にCRTディスプレイを用いたビットマップ表示処理の高速化に好適なビットマップ表示制御方式に関するものである。

従来技術

従来のビットマップ表示制御システムの概略構成ブロック図を第2図に示す。CPUはシステ

ムメモリ2に格納されているプログラムに従って、表示すべき文字、グラフ、画像等をビットマップメモリ3に展開する。このとき、文字パターンは、キャラクタジェネレータ7から文字コードに対応して逐次読出され、システムバス8を介してビットマップメモリ3に展開される。この展開されたビットマップメモリ3のデータは、CRTコントローラ4により逐次パラレルデータとして読出され、パラレル-シリアル変換器5でシリアルデータに変換され、VIDEO信号としてCRTディスプレイ6に供給される。また、CRTコントローラ4は、水平同期信号(H SYNC信号)と垂直同期信号(V SYNC信号)を出力して、CRTディスプレイ6に表示される文字などの同期をとる。

このような従来のビットマップ表示制御方式では、使用頻度の多い熟語および文を形成する文字パターンもキャラクタジェネレータ7からシステムバス8を経由してビットマップメモリ3に込まれるので、システムバス8の使用効率が低下するという問題があった。

目 的

本発明の目的は、このような従来の問題を解消し、ビットマップ表示制御システムにおいて、システムバスの使用効率を向上させ、かつ、システム全体の処理速度を向上させるビットマップ表示制御方式を提供することにある。

構 成

上記目的を達成するために、本発明では、キャラクタパターンジェネレータから発生される文字パターンのビットマップ表示を制御するビットマップ表示制御システムにおいて、該ビットマップ表示のためのフレームバッファメモリとして実装されるメモリの空きエリアを、使用頻度の多い熟語および文のジェネレータとして使用することに特徴がある。

以下、本発明の構成を実施例により説明する。

一般に、高解像度ビットマップ表示において、表示データは複数ビットの平行データとして逐次読出される。例えば、水平方向1536ドット、垂直方向2048ドットの表示をインターレー

スラスカスキャン方式でCRTディスプレイに表示する場合、表示データは64ビット平行に逐次読出される。このとき、必要となるビットマップメモリ容量は393216バイトであるが、実際に実装される記憶素子は64K×1ビットのダイナミックメモリ64個となり、実装記憶容量は524288バイトとなる。このうち実際の表示に使用される容量は前記の如く393216バイトであるので、131072バイトは空きエリアとなる。本発明は、この空きエリアを使用頻度の多い熟語および文のジェネレータとして使用するものである。

第1図は、本発明の一実施例を示すビットマップ表示制御システムの概略構成ブロック図である。これは、第2図に示す従来のビットマップ制御システムのビットマップメモリ3（ここでは3'としている）内の空きエリアに使用頻度の多い熟語および文のジェネレータを設け点が従来と異なる。その他は従来と同じなので説明を省略している点は前述の従来技術を参照されたい。

明細書の浄書(内容に変更なし)

このビットマップ表示制御システムは、CPU1、システムメモリ2、本発明の主要部をなす空きエリアを熟語および文のジェネレータとして使用しているビットマップメモリ3'、CRTコントローラ4、パラレル-シリアル変換器5、CRTディスプレイ6、キャラクタジェネレータ7、システムバス8から構成されている。

CPU1は、システムメモリ2に格納されているプログラムに従って、表示すべき文字、グラフ、画像等をビットマップメモリ3'に展開する。このとき、文字パターンは、キャラクタジェネレータ7から逐次読出され、システムバス8を経由してビットマップメモリ3'に書込まれる。ただし、使用頻度の多い熟語および文、例えばオペレータに対するメッセージ等は、キャラクタジェネレータ7をアクセスしないで、その対応コードがCRTコントローラ4に与えられる。CRTコントローラ4は、そのコードに対応した熟語および文を、同時にCPU1から与えられたビットマップメモリ3'上のアドレスに展開する。上記ビットマップ

表示例の場合、16×16ドットの文字パターンの場合は4096文字、32×32ドットの文字パターンの場合は1024文字がビットマップメモリ3'の空きエリアに格納できるので、その空きエリアは熟語および文のジェネレータとして十分な記憶容量を有する。

このようにして、本実施例によれば従来のように熟語および文を逐次、キャラクタジェネレータ(CG)7からシステムバス8を経由してビットマップメモリ3'に書込む必要がないので、表示処理速度およびシステム全体の処理速度が向上する。

効 果

以上説明したように、本発明によれば、ビットマップ表示制御システムにおいて、システムバスの使用効率を向上でき、かつ、システム全体の処理速度を向上できる。

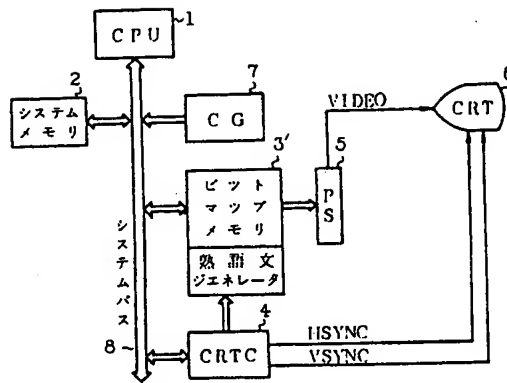
4. 図面の簡単な説明

第1図は本発明の一実施例を示すビットマップ表示制御システムの概略構成ブロック図、第2図は従来のビットマップ表示制御システムの概略構

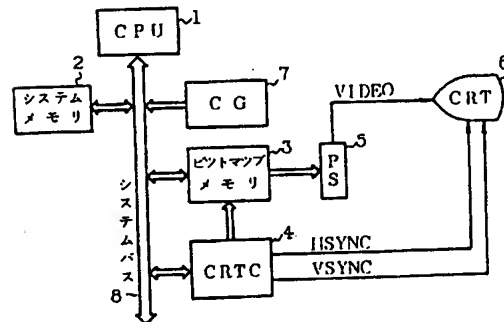
第 1 図

成ブロック図である。

1:CPU、2:システムメモリ、3,3':
ビットマップメモリ、4:CRTコントローラ、
5:パラレル-シリアル変換器、6:CRTディスプレイ、7:キャラクタジェネレータ、8:シ
ステムバス。



第 2 図



手続補正書(方式)

昭和60年 7月22日

特許庁長官 宇賀道郎 殿

1. 事件の表示

昭和60年 特 許 願 第 41725 号

2. 発明の名称 ビットマップ表示制御方式

3. 補正をする者

事件との関係 特 許 出 願 人

フリガナ 東京都大田区中馬込1丁目3番6号
住 所 (674) 株式会社 リ コ ー
フリガナ(名称) 代 表 者 浜 田 広

4. 代 理 人

住 所 東京都新宿区西新宿1丁目18番15号
中神ビル7階 電話 (03) 348 - 5035
氏 名 (7727) 弁護士 磯 村 雅 俊

5. 補正命令の日付 昭和60年6月10日 (発送日) 60.6.25

6. 補正により増加する発明の数 な し

7. 補 正 の 対 象
明細書の「図面の簡単な説明」の欄
および 代理権を証明する書面

8. 補 正 の 内 容
明細書第6頁を別添のように補正する(差替)。
委任状を補正する。